

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Masao MURADE

Application No.: New U.S. Patent Application

Filed: February 23, 1998

Docket No.: JAO 40342

For: LIQUID CRYSTAL DEVICE, MANUFACTURING METHOD THEREOF
AND PROJECTION TYPE DISPLAY DEVICECLAIM FOR PRIORITYAssistant Commissioner for Patents
Washington, D.C. 20231

Sir:

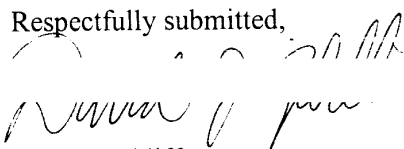
The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 9-044378 filed February 27, 1997
Japanese Patent Application No. 9-301251 filed October 31, 1997

In support of this claim, certified copies of said original foreign applications:
 X are filed herewith
 were filed on _____ in Parent Application No. _____ filed _____.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,


James A. Oliff
Registration No. 27,075David J. Zibelli
Registration No. 36,394

JAO:DJZ/dlm

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS25 U.S. PTO
09/027469
02/23/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 7 年 2 月 2 7 日

出 願 番 号

Application Number:

平成 9 年特許願第 0 4 4 3 7 8 号

出 願 人

Applicant (s):

セイコーエプソン株式会社

1 9 9 7 年 8 月 2 2 日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光

出証番号 出証特平 0 9 - 3 0 6 5 3 9 9

【書類名】 特許願

【整理番号】 P0S56439

【提出日】 平成 9年 2月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明の名称】 アクティブマトリックス型液晶表示装置用基板およびその製造方法およびそれを用いたアクティブマトリックス型液晶表示装置並びに投写型表示装置

【請求項の数】 20

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 村出 正夫

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【連絡先】 3348-8531内線2610-2615

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9603594

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリックス型液晶表示装置用基板およびその製造方法およびそれを用いたアクティブマトリックス型液晶表示装置並びに投写型表示装置

【特許請求の範囲】

【請求項1】 基板上には複数のデータ線と、該複数のデータ線に交差して形成された複数の走査線と、該データ線及び走査線に接続された画素トランジスタと、該画素トランジスタに接続された画素電極と、該データ線及び該走査線の少なくとも一方が接続された周辺駆動回路とが形成されてなるアクティブマトリックス型液晶表示装置用基板において、少なくとも該画素トランジスタのチャンネル領域及び該チャンネル領域とソース・ドレイン領域との接合部の下層には導電層からなる第1遮光膜が設けられるとともに、該画素トランジスタの該チャンネル領域及び該チャンネル領域とソース・ドレイン領域との接合部の上層には第2遮光膜が設けられ、該第1遮光膜には定電圧が印加されるように構成されてなることを特徴とするアクティブマトリックス型液晶表示装置用基板。

【請求項2】 該画素トランジスタの下層に設けられた該第1遮光膜は、該画素トランジスタのゲート電極を制御する信号を供給する該走査線の下方を該走査線に沿って該第1遮光膜と同一の導電層により形成された結合層により連続され、該結合層には該画素領域の外側において定電圧を供給する配線に接続されていることを特徴とする請求項1に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項3】 該画素トランジスタの上層に設けられた該第2遮光膜は、該画素トランジスタに画像信号を供給するデータ線であることを特徴とする請求項1または2に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項4】 該第1遮光膜に供給される定電圧は該周辺駆動回路の接地電位であることを特徴とする請求項1、2または3に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項5】 該第1遮光膜に供給される定電圧は対向電極電位であることを特徴とする請求項1、2または3に記載のアクティブマトリックス型液晶表示装置用基板。

装置用基板。

【請求項6】 該周辺駆動回路は、Pチャネル型薄膜トランジスタ及びNチャネル型薄膜トランジスタから成り、該画素トランジスタと同一工程により形成することを特徴とする請求項1、2、3、4または5に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項7】 該周辺駆動回路には該第1遮光膜を構成する導電層と同一の導電層が配線層として形成されていることを特徴とする請求項1、2、3、4、5または6に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項8】 該周辺駆動回路には、該第1遮光膜を構成する導電層と同一の導電層からなる第1配線層と、該走査線を構成する導電層と同一の導電層からなる第2配線層と、該画素電極に印加される信号を該画素トランジスタに画像信号を供給するデータ線と同一の導電層からなる第3配線層とが形成されていることを特徴とする請求項1、2、3、4、5、6または7に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項9】 該第1遮光膜を構成する導電層と同一の導電層を該周辺駆動回路を構成する該薄膜トランジスタのゲート電極に接続される配線に接続し、該導電層が該薄膜トランジスタの該ゲート電極と同一かあるいは小さい面積で、該第1層間絶縁膜を介してチャネル領域下部を覆うことを特徴とする請求項1、2、3、4、5、6、7または8に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項10】 該第1遮光膜を構成する導電層と同一の導電層を該周辺駆動回路を構成する該薄膜トランジスタのソース電極に接続し、該導電層が前記第1層間絶縁膜を介してチャネル領域下部を覆うことを特徴とする請求項1、2、3、4、5、6、7または8に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項11】 該第1遮光膜は不透明な金属シリサイド膜から構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9または10に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項12】 該走査線はポリシリコン膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10または11に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項13】 該データ線はアルミニウム膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11または12に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項14】 該画素電極はITO膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12または13に記載のアクティブマトリックス型液晶表示装置用基板。

【請求項15】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13または14に記載のアクティブマトリックス型液晶表示装置用基板と、対向電極を有する透明性の対向基板とが適当な間隔をおいて配置されるとともに、該アクティブマトリックス型液晶表示装置用基板と該対向基板との間隔内に液晶が封入されていることを特徴とするアクティブマトリックス型液晶表示装置。

【請求項16】 該対向基板上には、第3遮光膜が形成されてなることを特徴とする請求項15記載のアクティブマトリックス型液晶表示装置。

【請求項17】 該第3遮光膜は、該第1遮光膜を覆うように形成されてなることを特徴とする請求項15または16に記載のアクティブマトリックス型液晶表示装置。

成されてなることを特徴とする請求項15記載のアクティブマトリックス型液晶表示装置。

【請求項19】 基板上に該画素電極がマトリックス状に配列形成され、各画素電極に対応して各々画素トランジスタが形成されるとともに、該画素電極が形成された画素領域の周囲には該画素トランジスタを制御する該周辺駆動回路を構成する該薄膜トランジスタが形成され、少なくとも該画素トランジスタのチャネル領域の下層には導電層からなる第1遮光膜が設けられ、該第1遮光膜は該画素トランジスタのゲートを制御する信号を供給する該走査線の下方に該走査線に

沿って該遮光膜と同一の導電層により形成された結合層により連続され、該結合層には該画素領域の外側において定電圧を供給する配線に接続されてなるアクティブマトリックス型液晶表示装置用基板の製造方法において、

該遮光膜に定電圧を与える配線の接続のためのコンタクトホールの開孔を、該画素電極に印加される信号を該画素トランジスタに供給するデータ線と該画素トランジスタのチャネル領域との接続のためのコンタクトホールの開孔と同時に行うことを特徴とするアクティブマトリックス型液晶表示装置用基板の製造方法。

【請求項20】 光源と、該光源からの光を変調して透過もしくは反射する請求項15、16、17または18に記載のアクティブマトリックス型液晶表示装置と、該アクティブマトリックス型液晶表示装置により変調された光を集光し拡大投射する投写光学手段と備えていることを特徴とする投写型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置さらにはアクティブマトリックス型液晶表示装置に関し、特に基板上に形成されたポリシリコン膜を半導体層とする薄膜トランジスタ（以下、TFTと称す）によって、画素電極を駆動するアクティブマトリックス型液晶表示装置およびその製造方法およびそれを用いた投写型表示装置に利用して好適な技術に関する。

【0002】

従来、アクティブマトリックス型液晶表示装置としては、ガラス基板上にマトリックス状に画素電極を形成するとともに、各画素電極に対応してアモルファスシリコン膜やポリシリコン膜を半導体層としたTFTを形成して各画素電極にTFTを介して電圧を印加し、液晶を駆動するようにした構成の液晶表示装置が実用化されている。

【0003】

前記アクティブマトリックス型液晶表示装置のうちポリシリコンTFTを用いた液晶表示装置は、画面表示部を駆動したり制御したりするためのシフトレジス

タ回路等の周辺駆動回路を構成するトランジスタを画素TFT形成時に同一工程で形成することが可能なため、高集積化に適しており注目されている。

【0004】

【発明が解決しようとする課題】

前記ポリシリコンTFTを用いたアクティブマトリックス型液晶表示装置にあつては、前記画素TFTの上方は、対向基板上に設けられるブラックマトリックスあるいはブラックストライプと呼ばれるクロム膜あるいはアルミニウム膜等で形成した遮光膜で覆われており、該対向基板側から入射される入射光に対して、該画素TFTのチャネル領域及びその接合領域に光が照射してリーク電流が流れないように構成をとっている。しかしながら、光によるリーク電流は、前記入射光のみならず前記画素TFTを形成している基板の裏面に設置される偏光板等で反射した反射光が該画素TFTのチャネル領域下方から照射されるため、流れることがある。

【0005】

そこで、前記反射光によるリーク電流を防止するため、前記画素TFTのチャネル領域下部にも遮光膜を設けるようにした発明が提案されている（特公平3-52611号）。ところが、前記画素TFTの下部に設ける遮光膜の電位が固定されていないため、該画素TFTの半導体領域と遮光膜との間の寄生容量によってTFT特性が変動したり劣化するという問題点がある。

【0006】

高集積化に伴って、ますます高集積化が望まれている。特に、前記周辺駆動回路を同一基板内に内蔵したアクティブマトリックス型液晶表示装置では、回路の高集積化を図る技術としてアルミニウム等の金属膜を絶縁膜を介して多層に形成して配線する多層配線技術が用いられているが、多層配線構成にするほど製造プロセスの工程数が増加し、製造コストが高くなるという問題点がある。

【0007】

また、アクティブマトリックス型液晶表示装置の駆動周波数の高速化に伴い、TFT特性の向上を図るために、SOI技術やレーザーアニールによる再結晶化

技術等が知られているが、特性の不均一や製造工程が複雑になるといった問題点がある。

【0008】

そこで本発明の目的は、アクティブマトリックス型液晶表示装置において、偏光板等に反射した光の影響によるTFTのリーク電流を抑制し、TFT特性の変動あるいは変化を防止することができる技術を提供することにある。

【0009】

本発明の他の目的は、アクティブマトリックス型液晶表示装置において、製造プロセスの工程数を増加させることなく画素領域の周辺に設けられる駆動回路の高集積化を図ることができる技術を提供することにある。

【0010】

更に、本発明の他の目的は、アクティブマトリックス型液晶表示装置において、製造プロセスの工程数を増加させることなくTFT特性の向上を図ることができる技術を提供することにある。

【0011】

【課題を解決するための手段】

本発明は、基板上には複数のデータ線と、該複数のデータ線に交差して形成された複数の走査線と、該データ線及び走査線に接続された画素トランジスタと、該画素トランジスタに接続された画素電極と、該データ線及び該走査線の少なくとも一方が接続された周辺駆動回路とが形成されてなるアクティブマトリックス型液晶表示装置において、前記データ線及び前記走査線と前記画素トランジスタの該チャネル領域及び該チャネル領域とソース・ドレイン領域との接合部の下層には導電層からなる第1遮光膜が設けられるとともに、該画素トランジスタの該チャネル領域及び該チャネル領域とソース・ドレイン領域との接合部の上層には第2遮光膜が設けられ、該第1遮光膜には定電圧が印加されるように構成されてなることを特徴とする。

【0012】

本発明は、該画素トランジスタの下層に設けられた前記第1遮光膜は、該画素トランジスタのゲート電極を制御する信号を供給する該走査線の下方を該走査線

に沿って該第1遮光膜と同一の導電層により形成された結合層により連続され、該結合層には該画素領域の外側において定電圧を供給する配線に接続されていることを特徴とする。

【0013】

本発明は、該画素トランジスタの上層に設けられた該第2遮光膜は、該画素トランジスタに画像信号を供給するデータ線であることを特徴とする。

【0014】

本発明は、該第1遮光膜に供給される定電圧は該周辺駆動回路の接地電位であることを特徴とする。

【0015】

本発明は、該第1遮光膜に供給される定電圧は対向電極電位であることを特徴とする。

【0016】

本発明は、該周辺駆動回路は、Pチャネル型薄膜トランジスタ及びNチャネル型薄膜トランジスタから成り、該画素トランジスタと同一工程により形成することを特徴とする。

【0017】

本発明は、該周辺駆動回路には該第1遮光膜を構成する導電層と同一の導電層が配線層として形成されていることを特徴とする。

【0018】

本発明は、該周辺駆動回路には、該第1遮光膜を構成する導電層と同一の導電層からなる第1配線層と、該走査線を構成する導電層と同一の導電層からなる第2配線層と、該画素電極に印加される信号を該画素トランジスタに画像信号を供給するデータ線と同一の導電層からなる第3配線層とが形成されていることを特徴とする。

【0019】

本発明は、該第1遮光膜を構成する導電層と同一の導電層を該周辺駆動回路を構成する該薄膜トランジスタのゲート電極に接続される配線に接続し、該導電層が該薄膜トランジスタの該ゲート電極と同一かあるいは小さい面積で、該第1層

間絶縁膜を介してチャネル領域下部を覆うことを特徴とする。

【0020】

本発明は、該第1遮光膜を構成する導電層と同一の導電層を該周辺駆動回路を構成する該薄膜トランジスタのソース電極に接続し、該導電層が該第1層間絶縁膜を介してチャネル領域下部を覆うことを特徴とする。

【0021】

本発明は、該第1遮光膜は不透明な金属シリサイド膜から構成されていることを特徴とする。

【0022】

本発明は、該走査線はポリシリコン膜で構成されていることを特徴とする。

【0023】

本発明は、該データ線はアルミニウム膜で構成されていることを特徴とする。

【0024】

本発明は、該画素電極はITO膜で構成されていることを特徴とする。

【0025】

本発明のアクティブマトリックス型液晶表示装置は、上記のアクティブマトリックス型液晶表示装置用基板と、対向電極を有する透明性の対向基板とが適当な間隔をおいて配置されるとともに、該アクティブマトリックス型液晶表示装置用基板と該対向基板との間隔内に液晶が封入されていることを特徴とする。

【0026】

本発明のアクティブマトリックス型液晶表示装置は、前記第3遮光膜は、前記第1遮光膜が形成されてなることを特徴とする。

【0027】

本発明のアクティブマトリックス型液晶表示装置は、前記第3遮光膜は、前記第1遮光膜を覆うように形成されてなることを特徴とする。

【0028】

本発明のアクティブマトリックス型液晶表示装置は、前記対向基板には、マイクロレンズがマトリックス状に形成されてなることを特徴とする。

【0029】

本発明のアクティブマトリックス型液晶表示装置の製造方法は、基板上に前記画素電極がマトリックス状に配列形成され、各画素電極に対応して各々画素トランジスタが形成されるとともに、該画素電極が形成された画素領域の周囲には該画素トランジスタを制御する前記周辺駆動回路を構成する前記薄膜トランジスタが形成され、少なくとも前記画素トランジスタのチャネル領域の下層には導電層からなる第1遮光膜が設けられ、該第1遮光膜は該画素トランジスタのゲートを制御する信号を供給する前記走査線の下方に該走査線に沿って前記遮光膜と同一の導電層により形成された結合層により連続され、該結合層には前記画素領域の外側において定電圧を供給する配線に接続されてなるアクティブマトリックス型液晶表示装置用基板の製造方法において、

前記遮光膜に定電圧を与える配線の接続のためのコンタクトホールの開孔を、前記画素電極に印加される信号を前記画素トランジスタに供給するデータ線と前記画素トランジスタのチャネル領域との接続のためのコンタクトホールの開孔と同時に行うことを特徴とする。

【0030】

本発明の投写型表示装置は、光源と、該光源からの光を変調して透過もしくは反射するアクティブマトリックス型液晶表示装置と、該アクティブマトリックス型液晶表示装置により変調された光を集光し拡大投射する投射光学手段と備えていることを特徴とする。

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

【0032】

(第1実施例)

図1、2および図3は、本発明を適用したアクティブマトリックス型液晶表示装置用基板の第1の実施例の平面図および断面図を示す。なお、図1にはマトリックス状に配置されている画素のうち画素領域の最外周の2画素のレイアウト平面図を示す。また、図2は図1におけるA-A'線に沿った断面すなわち前記画

素トランジスタの断面構造を示している。また図3は、図1におけるB-B'線に沿った断面すなわち前記第1遮光膜に対して定電位を供給する配線との接続部分を示す。

【0033】

図1において、1は前記画素TFTの半導体膜であり、該半導体膜としてポリシリコン膜等を形成する。2は該画素TFTのゲート電極を構成する走査線であり、ポリシリコン膜や金属シリサイド膜等により形成される。3は該走査線2と第2層間絶縁膜13を介して交差するように配線されたデータ線であり該画素TFTのソース領域（もしくはドレイン領域）に接続され、画素電極14に印加すべき電圧を供給する。材質としては、アルミニウム膜などの金属膜等により形成される。また、4はITO膜からなる画素電極14と前記半導体層1からなる画素TFTのドレイン領域（もしくはソース領域）とを接続するためのコンタクトホール、5は前記データ線3と前記画素TFTのソース領域（あるいはドレイン領域）とを接続するためのコンタクトホールである。6は前記走査線2及びデータ線3に対応して、対向基板31側に設けられるクロム膜等の遮光膜からなるマトリックス状のブラックマトリックス（あるいはブラックストライプ）であり、図1の該ブラックマトリックス6の内側領域が光の透過する領域である。

【0034】

本第1実施例では、図2に示すように前記画素TFTは、チャネル領域1cと高濃度の不純物イオンを打ち込んだソース・ドレイン領域1a、1bとの接合部

（ソース・ドープド・ドレイン）構造で構成されている。前記半導体層1の下部、特にチャネル領域1cや該チャネル領域1cとソース・ドレイン領域となる低濃度領域1d、1eとの接合部、該低濃度領域1d、1eと高濃度領域1a、1bとの接合部の下部に第1層間絶縁膜11を介してタングステンシリサイド等の金属シリサイドや金属等の導電性があり、不透明な第1遮光膜7が設けられている。また、前記画素TFTの半導体層1の上部、特にチャネル領域1cや該チャネル領域1cとソース・ドレイン領域となる低濃度領域1d、1eとの接合部、該低濃度領域1d、1eと高濃度領域1a、1bとの接合部の上部を覆うように第2層

間絶縁膜13を介して前記データ線3を第2の遮光膜として配線し、第1遮光膜7、第2遮光膜3とで画素TFTを絶縁膜を介して上下に2重に遮光するサンドイッチ構造をとる。これにより、対向基板31側から入射された光および画素が形成された側の基板10裏面からの偏光板等により反射された光が、前記画素TFTの半導体層1の上部、特にチャネル領域1cや該チャネル領域1cとソース・ドレイン領域となる低濃度領域1d、1eとの接合部、該低濃度領域1d、1eと高濃度領域1a、1bとの接合部に照射されることが無くなり、光によるリーク電流を防止することができる。

【0035】

また、対向基板31側に設けられたブラックマトリックス6を第3遮光膜としてチャネル領域1cや該チャネル領域1cとソース・ドレイン領域となる低濃度領域1d、1eとの接合部、該低濃度領域1d、1eと高濃度領域1a、1bとの接合部の上方を覆うように形成し、3重に遮光すると更に効果的である。しかも、前記ブラックマトリックス6は前記第2遮光膜（データ線）3に対して、また、該第2遮光膜（データ線）3は前記第1遮光膜7に対してチャネル領域1cやチャネル領域1cとソース・ドレイン領域となる低濃度領域1d、1eとの接合部、低濃度領域1d、1eと高濃度領域1a、1bとの接合部を幅広く覆うことにより、入射光が第1遮光膜7及び第2遮光膜（データ線）3に直接照射されないで、遮光効果は更に増す。

【0036】

膜11を介して第1遮光膜7が延設されており、該第1遮光膜7の最端部は画素領域の外側に配設され、接地電位あるいは対向電極電位あるいは周辺駆動回路を駆動するための負電位などの定電位を供給するアルミニウム等の金属膜あるいは金属シリサイド膜からなる配線8とコンタクトホール9において接続されている。これによって、第1遮光膜7がフローティングになるのを防止して、画素TFTのゲート電極（走査線）2に信号が入力された時のトランジスタの特性変化を防止することができる。該走査線2下部の第1遮光膜7は、製造プロセスのフォトリソグラフィ工程におけるマスクアライメント時に、マスクアライメントずれ

によりパターン形成位置がずれても第1遮光膜7に直接入射光が照射されないように該走査線2の幅と同一かあるいは狭く形成するようにする。また、前記第1遮光膜7の表面には反射防止処理を施しておくこと更に望ましい。また、本実施例では、前記走査線2に沿って前記第1遮光膜7を配したが、前記データ線3の下方に沿って延設しても良いし、該走査線2及び該データ線3の下部をマトリックス状に接続配置するように第1該遮光膜7を延設しても良い。

【0037】

なお、特に限定されないが、本第1実施例では画素TFTのドレイン領域に接続される容量を付加するために、半導体層1を延設し、その上部をゲート絶縁膜を介して常に定電位が供給される容量配線18を配置している。該容量配線は前記走査線2と同一材料で形成されている。また、従来は横方向電界等の影響を受けて生じる液晶のディスクリネーション発生領域部は画面表示品位の劣化を引き起こすため前記対向基板31上の前記ブラックマトリックス6で遮光されていたデッドスペースであったが、該ディスクリネーション発生領域部に前記容量配線を配置することで、画素の光が透過する開口面積を低下させることなく、フリッカー等が発生しない高品位なアクティブマトリックス型液晶表示装置を提供することができる。

【0038】

図1におけるA-A'に沿った断面を示す図2において、10は石英あるいはハードガラス等の基板、11は半導体層1と第1遮光膜7を絶縁する第1層間絶

縁膜、12は第1層間絶縁膜、13は第2層間絶縁膜、14は第3層間絶縁膜をそれぞれ示している。

【0039】

また、図2からも明らかなように、本実施例では前記画素TFTの高濃度領域1bに対して第1遮光膜7が形成されていない箇所があるため、前記半導体層1は該第1遮光膜7が形成されているところと形成されていないところで段差が生じる。しかしながら、前記段差を高濃度領域1bと低濃度領域1eとの接合部から1ミクロン以上離して、該高濃度領域1b上に形成するようにすることで、該

段差部分における半導体層 1 の膜厚の相違により生じる前記画素 T F T 特性への影響を抑制することができる。

【0040】

本第 1 実施例では前記画素 T F T の構造を L D D 構造として説明したが、低濃度領域 1 d, 1 e に不純物イオンを打ち込まずにオフセット構造としても良いし、また、ゲート電極をマスクにして高濃度不純物イオンを打ち込んで形成するゲートセルフアライン構造の T F T でも良い。特に、L D D 構造あるいはオフセット構造とすることによりトランジスタの耐圧が向上し、オフ時におけるリーク電流を低減することができる。

図 3 は、第 1 遮光膜 7 と該第 1 遮光膜 7 に定電位を供給する定電位配線 8 との接続部の断面構造を示している。前記定電位配線 8 は前記データ線 3 を構成する層と同一の層で構成されているとともに、該定電位配線 8 と該第 1 遮光膜 7 とを接続するコンタクトホール 9 は、該データ線 3 と前記画素 T F T のソース領域 1 a とを接続するコンタクトホール 5 と同一工程で形成される。すなわち、該コンタクトホール 9 は第 1 層間絶縁膜 1 1 及び第 2 層間絶縁膜 1 3 に対して、該コンタクトホール 5 はゲート絶縁膜 1 2 及び第 2 層間絶縁膜 1 3 に対してそれぞれ開孔される。なお、ゲート絶縁膜 1 2 に対して第 1 層間絶縁膜が数千オングストローム単位で厚い場合は、コンタクトホール 5 及び 9 を開孔する際のエッチング時に該ソース領域 1 a 部分の半導体層が同時にエッチングされる場合がある。このような場合は、図 4 に示す通り、予め第 1 遮光膜 7 と走査線 2 と同一膜の導電層

後、該導電層 1 6 上にコンタクトホール 9 を設けても良い。

【0041】

(製造プロセス)

図 5 及び図 6 を用いて本実施例の製造プロセスを説明する。まず、石英やハードガラス等の基板 1 0 上にスパッタ法等によりタングステンシリサイドあるいはモリブデンシリサイド等からなる金属シリサイド層あるいはアルミニウム及びその合金、クロム、クロム合金等の金属層といった導電性で遮光性の膜を約 5 0 0 ～ 3 0 0 0 オングストローム好ましくは約 1 0 0 0 ～ 2 0 0 0 オングストローム

の厚さに形成した後、フォトリソグラフィ工程、エッチング工程を施すことにより第1遮光膜7を形成する(図5a)。前記第1遮光膜7は、少なくとも後に形成される前記画素TF Tのチャネル領域1cや該チャネル領域1cとソース・ドレイン領域となる低濃度領域1d、1eとの接合部、該低濃度領域1d、1eと高濃度領域1a、1bとの接合部を基板10裏面から見て覆うように形成する。

【0042】

次に、前記遮光膜7の上に第1層間絶縁膜11を約500～8000オングストローム好ましくは1000～2000オングストロームの厚みに形成する(図5b)。該第1層間絶縁膜11は該第1遮光膜7と後に形成される半導体層1とを絶縁するものであり、例えば常圧CVD法や減圧CVD法あるいはTEOSガス等を用いて酸化シリコン膜や窒化膜等の絶縁膜を形成する。なお、前記第1層間絶縁膜を基板10全面に成膜することにより、下地膜としての効果が得られる。すなわち、基板10表面の研磨時における荒れや、不十分な洗浄による汚れ等でTF T特性の劣化を防止することができる。

【0043】

第1層間絶縁膜11形成後に、基板10を約450～550℃好ましくは500℃程度に加熱しながら、モノシランガスを約400～600cc/minの流量で供給し、圧力20～40Paにて、該第1層間絶縁膜11上にアモルファスシリコン膜を形成する。ガスとしては、ジシランガスを用いても良い。この後、窒素雰囲気中にて、600～700℃にて約1～10時間好ましくは約4～6時間のアニール処理を施し、固相成長によるポリシリコン膜を形成する(図5c)。また、該ポリシリコン膜からなる半導体層1は、減圧CVD法等により直接成膜しても良いし、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、アニール等で再結晶化させてポリシリコン膜を形成しても良い。

【0044】

次に、前記半導体層1を900～1300℃の温度で熱酸化することにより、ゲート絶縁膜12を形成する(図5d)。この工程により、半導体層1の膜厚は

最終的に300～1500オングストローム、好ましくは350～450オングストロームの厚さになり、該ゲート絶縁膜12は約200～1500オングストロームの厚さとなる。また、8インチ程度の大型基板を使用する場合、熱による基板のそりを防止するため、熱酸化時間を短くして熱酸化膜を薄くし、該熱酸化膜上に高温酸化シリコン膜（HTO膜）や窒化膜をCVD法等で堆積して2層以上の多層ゲート絶縁膜構造を形成しても良い。

【0045】

次に前記半導体層1上に前記ゲート絶縁膜12を介してポリシリコン層を堆積し、フォトリソグラフィ工程、エッチング工程等により、ゲート電極及び走査線2を形成する（図5e）。前記ゲート電極及び走査線2の材料としては、減圧CVD法によるポリシリコン膜であっても良いし、金属膜や金属シリサイド膜等でも良いし、該金属膜や該金属シリサイド膜と該ポリシリコン膜を組み合わせで多層にゲート電極を構成しても良い。特に、前記金属膜や金属シリサイド膜は遮光性を持つため、走査線2を遮光膜として配線することで、ブラックマトリックスとして代用することが可能となり、前記対向基板31上のブラックマトリックス6を省略することができる。これにより、該対向基板31とアクティブマトリックス型液晶表示装置用基板との貼り合わせずれによる画素開口率の低下を防ぐことができる。

【0046】

次に、Nチャネル型TFTにより構成する前記画素TFTのソース・ドレイン電極セル形成工程に前記ゲート電極2を介して、低濃度リンイオン20を約 $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にてライトドープして低濃度領域1d、1eを形成する（図5f）。更に、該ゲート電極2の幅よりも広いマスクでレジスト層17を該ゲート電極2上に形成した後、高濃度リンイオン20を $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量でドープする（図6g）。これにより、LDD構造のTFTを形成する。あるいは、低濃度領域にリンをドープしなければ、オフセット構造のTFTを形成することもできるし、ゲート電極2をマスクとして高濃度のリンイオンを打ち込めば、ゲートセルフアライン構造のTFTを形成することもできる。また、本実施例では、画素を駆動するための周辺駆動回路を同一基板

10上に形成する。該周辺駆動回路は、Nチャネル型TFT及びPチャネル型TFTから構成される相補型MOS（以下、CMOSと称す）構造により形成されるため、前記図5f及び図6gの工程で不純物イオンとしてボロンイオンを打ち込むことでPチャネル型TFTを形成する。この際、少なくともNチャネル型TFTを形成している領域をレジストによりマスクして保護する。また、本実施例では、前記画素TFTをNチャネル型TFTで形成したが、Pチャネル型TFTで形成しても構わない。

【0047】

次に、前記走査線2上を覆うように、常圧CVD法や減圧CVD法等によりNSG膜（ボロン及びリンを含まないシリケートガラス膜）や窒化膜等の第2層間絶縁膜13を5000～15000オングストロームのような厚さに形成する。そして、ソース・ドレイン領域を活性化するためのアニールを施した後、データ線3及びデータ線と同一材料を使用した配線と半導体層を接続するためのコンタクトホール5を開孔する（図6h）。該工程時に前記定電位配線8と第1遮光層を接続するためのコンタクトホール9を同時に形成する（図3参照）。前記コンタクトホール5の開孔方法としては反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホールを形成した方が開孔径をほぼマスクの寸法通りに形成できるため高精細化に有利である。また、該ドライエッチングとウェットエッチングを組み合わせを行い、開孔部をテーパー状に形成すると、配線接続時の断線防止に効果がある。

次に、前記第2層間絶縁膜13上にアルミニウム等の低抵抗金属や金属シリサイド膜等をスパッタ法等により堆積した後、フォトリソグラフィ工程、エッチング工程等により、データ線3を形成する（図6i）。該工程において、画素領域の外側でコンタクトホール9を介して第1遮光膜7と接続される定電位配線8を同時に形成する（図3参照）。

【0049】

次に、前記データ線3上を覆うように、常圧CVD法や常圧オゾン-TEOS法等により、BP SG膜（ボロンとリンを含むシリケートガラス膜）等からなる

第3層間絶縁膜15を5000～15000オングストロームのような厚さに形成する。あるいは、有機膜等をスピコートにより塗布することで、段差形状のない平坦化膜を形成しても良い。そして、画素電極14と半導体層1を接続するためのコンタクトホール4を開孔する(図6j)。前記コンタクトホール4の開孔方法としては前記コンタクトホール5開孔時と同様、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホールを形成した方が、高精細化に有利である。また、該ドライエッチングとウェットエッチングを組み合わせを行い、開孔部をテーパ状に形成すると、配線接続時の断線防止に効果がある。

【0050】

次に、前記第3層間絶縁膜15上にITO膜等の透明導電層をスパッタ法等に500～2000オングストロームのような膜厚で堆積した後、フォトリソグラフィ工程、エッチング工程等により、前記画素電極14を形成する(図6k)。前記画素電極14として反射型のアクティブマトリックス型液晶表示装置の場合、アルミニウム等の反射率の高い膜を形成しても良い。なお、前記画素電極14上には、アクティブマトリックス型液晶表示装置を構成する際に、ポリイミド等の配向膜が形成され、ラビング処理される。

【0051】

(第2実施例)

第2実施例は画素TF T102を駆動するための周辺駆動回路に関するもので

たアクティブマトリックス型液晶表示装置のシステム構成の一例を示す。本発明の該アクティブマトリックス型液晶表示装置は、データ線3に信号を伝達するために、画素領域の外側にX側シフトレジスタ回路とX側バッファ回路及びデータサンプリング回路101等から成るX側駆動回路が構成される。前記データ線3の配線端は前記データサンプリング回路101の出力側に接続され、該データサンプリング回路101の入力側は外部入力信号を伝達するビデオ線VID1～6と接続されており、前記X側シフトレジスタ回路から出力されるサンプリング信号X1, X2, X3, ..., Xnによって、該データサンプリング回路101

1のゲートがオン/オフされるように構成されている。該X側シフトレジスタ回路は、端子を介して外部から入力されるX側クロック信号CLX、反転クロック信号CLXB及びX側スタート信号DXに基づいて1水平走査期間中に全てのデータ線3を順次選択するようなサンプリング信号X1, X2, X3, ..., Xnを形成してデータサンプリング回路に供給する。前記X側駆動回路は、画素領域を挟んで反対側に設けるようにして、櫛歯状に駆動しても良い。また、本実施例のように画像信号の1水平帰線期間の間に補助回路109をNRG信号により駆動し、データ線3に一定レベルの電位NRS1信号及びNRS2信号を印加することにより、実際の該画像信号をビデオ線VID1~6に接続されたデータサンプリング回路101を介してデータ線3に書き込む負荷を軽減することができる。あるいは、点欠陥や線欠陥を検出するための検査用回路を配置しても良い。また、本実施例では、データ線3をある一定のタイミングで1本毎に順次駆動していく方法を説明したが、3本や6本や12本といった多数のデータ線3を1個のデータサンプリング信号で同時に選択し、外部から入力する画像信号のタイミングを変化させることでも同様の画像表示が得られる。一方、走査線2に信号を伝達するために、画素領域の外側にY側シフトレジスタ回路とY側バッファ回路から成るY側駆動回路を構成する。該Y側シフトレジスタ回路は、端子を介して外部から入力されるY側クロック信号CLY、反転クロック信号CLYBに同期して駆動され、走査線2を順次駆動する。また、該Y側駆動回路は、本発明のように両側から駆動することにより走査線の駆動上の負荷を軽減することができる。また、シフトレジスタ回路の系列数を多系列で構成することにより、クロック信号の転送周波数を低くし、回路負荷を低減することができる。

【0052】

前記アクティブマトリックス型液晶表示装置の周辺駆動回路部を構成するシフトレジスタ回路の等価回路の一例を図8に示す。転送信号をラッチする回路は、トランSMIッションゲート回路で構成しても良いし、クロックドインバータ回路等で構成しても良い。

【0053】

図9は、図8における該シフトレジスタ回路のS部分を、前記アクティブマトリックス型液晶表示装置用基板上に集積して形成する際のレイアウト平面図の一例を示している。図9(a)は従来のパターンレイアウトであり、(b)は本発明の第2実施例であるパターンレイアウトである。また図10(a)は、図9(a)におけるC-C'部分の断面図を示しており、図10(b)は図9(b)におけるD-D'部分の断面図を示している。図9(a)、図10(a)に示すように従来例では、本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続部N4に配線を通すには、トランスマッションゲート回路を制御するクロック信号線(前記走査線と同一工程、同一層で形成)CL上を層間絶縁膜2を介して前記データ線3と同一工程で同一層のアルミニウム等の金属膜等で配線30を形成していた。しかしながら、トランスマッションゲート回路のソース及びドレイン電極31、32が前記配線30と同一層で形成されるため、該トランスマッションゲート回路間の距離L1は該配線30と該トランスマッションゲート回路のソース及びドレイン電極31、32とのフォトリソグラフィ工程及びエッチング工程時の寸法精度により決まるため、該配線30が通る分だけ微細化できずに高集積化の妨げとなっていた。そこで、図9(b)、図10(b)に示すように、本発明の第2実施例では前記第1実施例で形成した第1遮光膜7を周辺駆動回路の配線材料として用いることで、微細化が可能となった。すなわち、前記従来例における本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続部N4

ゲート回路間の距離L2は、従来使用していた配線を形成する必要がなくなり、該隣り合うトランスマッションゲート回路のソース・ドレイン電極間の間隔のみを考慮すれば良い。したがって、L2の距離は常にL1の距離より狭く設計することが可能となり、前記周辺駆動回路の更なる微細化を図ることができる。

【0054】

(第3実施例)

第3実施例として、前記第1、第2実施例と同一の工程により、TFTの特性向上を図ることができることを説明する。図11は前記周辺駆動回路で用いてい

る等価回路の一例で、(a) クロックドインバータ回路、(b) トランスミッションゲート回路、(c) インバータ回路をそれぞれ示している。前記各々の等価回路は、Pチャネル型TFT及びNチャネル型TFTから成るCMOS型TFTにより構成されており、画素TFTの形成工程と同一工程で形成することができる。CLはクロック信号、CLBは前記クロック信号の反転信号、VDDは周辺駆動回路の正電荷、VSSは周辺駆動回路の負電荷をそれぞれ示している。IN側から入力された信号はOUT側に出力される。また、前記CL信号及びCLB信号は、回路構成において、図8に示すように信号が入れ替わることは言うまでもない。図12(a)は、図11(c)のインバータ回路のアクティブマトリックス型液晶表示装置用基板上のレイアウト平面図であり、図12(b)は前記図12(a)のE-E'間の断面図を示している。図12(a)及び(b)が示すように、前記インバータ回路を構成するPチャネル型TFT46及びNチャネル型TFT47の各々のソース電極44に前記第1遮光膜7を接続する。前記第1遮光膜7は該Pチャネル型TFT46及びNチャネル型TFT47のゲート電極43下部のチャンネル領域52、53を第1層間絶縁膜11を介して、完全に覆うように形成されている。すなわち、Pチャネル型TFT46のソース電極(周辺駆動回路の正電荷VDD)48及びNチャネル型TFT47のソース電極(周辺駆動回路の負電荷VSS)49から印加される電圧で、前記第1遮光膜7が擬似的な第2のゲート電極としての機能を果たし、空乏層のゲート絶縁膜に接する部分の電位が従来より大きく上昇し、Nチャネル型TFT47では、電子に対する

るため、半導体層の抵抗が下がり、TFT特性が向上する。Pチャネル型TFT46では、前記電子を正孔に置き換えれば良い。また、図12(b)に示すように、周辺駆動回路のPチャネル型TFT46及びNチャネル型TFT47はゲートセルフアライン構造を形成しているが、前記製造プロセスで説明したように、TFTの耐圧を向上し、信頼性を高めるために、該周辺駆動回路のPチャネル型TFT46及びNチャネル型TFT47をLDD構造やオフセットゲート構造で形成しても良い。

【0055】

(第4実施例)

また、第4実施例として、図13(a)は図11(c)のインバータ回路のアクティブマトリックス型液晶表示装置用基板上におけるレイアウト平面図であり、図13(b)は該図13(a)のF-F'間の断面図を示している。また、図13(c)は、前記図13(a)におけるG-G'間の断面図を示している。図13(b)に示すように、前記インバータ回路を構成するPチャネル型TFT46及びNチャネル型TFT47の各々のゲート電極43に前記遮光層7を接続し、該ゲート電極43と同一かあるいは幅を狭くして、チャネル領域の上下をゲート絶縁膜12及び第1層間絶縁膜11を介してゲート電極43及び第1遮光膜7を形成してダブルゲートTFTを構成する。図13(c)に示すように、半導体層1の下部を第1層間絶縁膜11を介して第1遮光膜7を形成し、上部をゲート絶縁膜を介してゲート電極を形成することで、該P型チャネル領域52の上下をゲート電極が挟み込む構成を取る。図示しないが、N型チャネル領域53も前記P型チャネル領域52と同様の構成をしている。また、前記インバータ回路の入力側の配線44は、前記データ線3と同一層で形成されており、コンタクトホール5部でゲート電極43と接続され、コンタクトホール9部で第1遮光膜7と接続される。前記コンタクトホール5、9の開孔は同一工程により行う。したがって、前記ダブルゲートTFTは該第1遮光膜7が第2のゲート電極の働きをするため、バックチャネル効果により、TFT特性の更なる向上を図ることができる。

次に、第3及び第4実施例で作製したNチャネル型TFTの特性を図14に示す。図14(a)チャネル領域下部に他の層がない従来のNチャネル型TFT、(b)第3実施例で説明したNチャネル型TFT、(c)第4実施例で説明したNチャネル型TFTのTFT特性を示す。TFTのサイズは3水準共同じサイズ(チャネル長 $5\mu\text{m}$ 、チャネル幅 $20\mu\text{m}$)でソース・ドレイン間に電圧15Vを印加して測定したものである。膜厚条件は、第1遮光膜7は1000オングストローム、第1層間絶縁膜11は1000オングストローム、半導体膜1は500オングストローム、ゲート絶縁膜900オングストロームに設定した。測定結

果として、TFTのゲート電極に15V印加した際に、前記第3実施例におけるTFT(図14b)は前記従来のTFT(図14a)より約1.5倍のオン電流が得られ、更に前記第4実施例におけるTFT(図14c)は前記従来のTFTより3.0倍以上のオン電流が得られることを確認した。したがって、第3実施例及び第4実施例のTFTを用いることで、表示画素の増大に伴う周辺駆動回路の高速化及び微細化が可能となり、また、データ線への画像信号の書込が改善するため、高品位な画像表示が実現できるアクティブマトリクス型液晶表示装置を提供することができる。

【0057】

(アクティブマトリクス型液晶表示装置の説明)

図15は本実施例で作製したアクティブマトリクス型液晶表示装置の平面図を示す。また、図16は、図15のH-H'線における該アクティブマトリクス型液晶表示装置の断面図を示す。図15に示すように、前記アクティブマトリクス型液晶表示装置用基板上のX側駆動回路103及びY側駆動回路104は、電荷の直流成分によりポリイミド等の配向膜や液晶の劣化を防ぐために、前記対向基板31の外周より外側に配置している。また、前記アクティブマトリクス型液晶表示装置用基板上に形成した画素電極の表面には、ガラスやネオセラムあるいは石英といった透明基板上に透明対向電極電位を印加することができるITO膜等の透明導電膜からなる電極32を有する対向基板31が、適当な間隔をおいて配置され、図7に示すように該X側駆動回路103及び該Y側駆動回路1

に、画面表示領域外側は、モジュールとして組立た際に光が漏れないように対向基板31上にブラックマトリクス6と同一層で周辺見切りを形成する。なお、106は対向基板31側に設けられた対向電極32に、アクティブマトリクス型液晶表示装置側から共通電極電位LCCOM(図7参照)を供給するための上下基板導通用端子であり、該導通用端子上に所定の径を有する導電性接着剤を介在させて、該対向基板と導通を図るように構成されている。また、入出力端子107は前記対向基板より外側の部分に設置され、ワイヤーボンディング、ACF(Anisotropic Conductive Film)圧着等により外

部ICと接続される。

【0058】

図16に示すように、周囲をシール材で封止された間隔内に周知のTN (Twisted Nematic) 型液晶等の液晶108を充填することにより、アクティブマトリックス型液晶表示装置として構成する。また、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜も偏光板も不要になるため、光利用効率が高くなり、明るいアクティブマトリックス型液晶表示装置を提供できる。更に、画素電極をITO膜からアルミニウム膜等の非透過で反射率の高い金属膜を用いた反射型液晶表示装置の場合は、電圧無印加状態で液晶分子がほぼ垂直配向されたSH (Super Homeotropic) 型液晶などを用いても良い。更にその他の液晶を用いても良いことは言うまでもない。

【0059】

さらに、図17に示されるように、対向基板31側にマトリックス状にマイクロレンズ33を画素単位で間隔を開けずに形成することにより、入射光を画素電極14の表示領域上に集光させることができるため、コントラストと明るさを大幅に改善することができる。しかも入射光を集光させるため、画素TFTのチャネル領域及び接合部への斜め方向からの光の入射を防止することが可能となる。また、前記マイクロレンズを用いる場合は、前記対向基板31側のブラックマトリックス6を取り除くことも可能である。

【0060】

(投写型液晶表示装置の説明)

図18は前記実施例のアクティブマトリックス型液晶表示装置をライトバルブとして応用した投写型表示装置の一例として該アクティブマトリックス型液晶表示装置を3枚使用したプリズム色合成方式のビデオプロジェクターの構成例が示されている。

【0061】

図18において、370はハロゲンランプ等の光源、371は放物ミラー、372は熱線カットフィルター、373、375、376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374、377は反射ミラー、37

8, 379, 380は前記アクティブマトリックス型液晶表示装置からなる青色, 緑色, 赤色変調ライトバルブ、383はダイクロイックプリズムである。

【0062】

本実施例のビデオプロジェクターにおいては、前記光源370から発した白色光は前記放物ミラー371により集光され、熱線カットフィルター372を通過して赤外光領域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そして先ず、前記青色反射ダイクロイックミラー373により、青色光（概ね500nm以下の波長）が反射され、その他の光（黄色光）は透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調ライトバルブ378に入射する。

【0063】

一方、前記青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光（概ね500～600nmの波長）が反射され、その他の光である赤色光（概ね600nm以上の波長）は透過する。前記緑色変調ライトバルブ375で反射した緑色光は、前記緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376, 377により方向を変え、前記赤色変調ライトバルブ380に入射する。

【0064】

前記各色のライトバルブ378, 379, 380は、ビデオ信号処理回路から供給される信号に基づき、カラー変調素子として動作し、それぞれに入射した光は変調され、前記ダイクロイックプリズム383で合成される。該ダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに直交するように構成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投写レンズ384によってスクリーン上に拡大投射される。

【0065】

前記実施例のアクティブマトリックス型液晶表示装置は、強い光が照射されても画素電極を制御する画素TFTからのリーク電流が抑制できるため、高コントラスト等の高品位画像表示を得ることができる。また、前記ダイクロイックプリ

ズムの代わりにミラーを使用して色合成をするプロジェクターや前記アクティブマトリックス型液晶表示装置の対向基板にR（赤）、G（緑）、B（青）のカラーフィルター層を形成したものを使用して、1枚の該アクティブマトリックス型液晶表示装置を用いてカラー画面が拡大投影できるプロジェクターに用いても効果がある。

【0066】

ところで、図18に示されるように、色合成に前記ダイクロイックプリズムを用いる場合、本発明は特に利点を有する。即ち、例えば前記ダイクロイックミラー274にて反射された光は、前記ライトバルブ378を透過して、ダイクロイックプリズム383で合成される。この場合、該ライトバルブ378に入射された光は90度変調して投射レンズに入射される。しかしながら、該ライトバルブ378に入射された光はわずかに漏れて、反対側の前記ライトバルブ380に入射される可能性がある。従って、該ライトバルブ380を例にとると、前記ダイクロイックミラー377により反射された光が入射方向側から入射される（図18のA方向から入射される）だけでなく、前記ライトバルブ378を透過した光の一部が前記ダイクロイックプリズム382を透過して前記ライトバルブ380に入射される可能性がある。また、ダイクロイックミラー377により反射された光がライトバルブ380を通過してダイクロイックプリズム382に入射される際に、ダイクロイックプリズム382でわずかに反射（正反射）してライトバルブ380に再入射される可能性もある。このように、ライトバルブは入射側方

.....

しても、本発明は前記実施例に示されるように、TF Tに対して、入射側からも入射側の反対側からも光が入射されないように遮光膜が形成されており、しかも遮光膜を反射した光がTF Tのチャネル領域及び接合部に入射されないように対向基板上のブラックマトリックスが遮光膜よりも大きく形成されているため、チャネル領域及び接合部は入射方向からも入射方向の反対側方向からも遮光されることになり、従ってリーク電流を大幅に低減することができる。

【0067】

【発明の効果】

以上説明したように、本発明は、アクティブマトリックス型液晶表示装置において、偏光板等に反射した光の影響によるTFTのリーク電流を抑制し、TFT特性の劣化を防止することができる効果がある。

【0068】

本発明の他の効果として、アクティブマトリックス型液晶表示装置において、製造プロセスの工程数を増加させることなくTFT特性の向上を図ることができる。

【0069】

更に、本発明の他の効果は、アクティブマトリックス型液晶表示装置において、製造プロセスの工程数を増加させることなく画素領域の周辺に設けられる駆動回路の高集積化を図ることができることにある。

【図面の簡単な説明】

【図1】

本発明を適用したアクティブマトリックス型液晶表示装置の一実施例を示す画素領域最外周部の平面レイアウト図。

【図2】

本発明を適用したアクティブマトリックス型液晶表示装置の一実施例を示す画素部の断面図。

本発明を適用したアクティブマトリックス型液晶表示装置の一実施例を示す遮光層と定電位線との接続部の断面図。

【図4】

本発明を適用したアクティブマトリックス型液晶表示装置の一実施例を示す遮光層と定電位線との接続部の断面図。

【図5】

本発明を適用したアクティブマトリックス型液晶表示装置用基板の製造プロセス（前半）を工程順に示す断面図。

【図6】

本発明を適用したアクティブマトリックス型液晶表示装置用基板の製造プロセス（後半）を工程順に示す断面図。

【図7】

本発明を適用して好適なアクティブマトリックス型液晶表示装置のシステム構成例を示すブロック図。

【図8】

本発明を適用して好適なアクティブマトリックス型液晶表示装置の周辺駆動回路を構成するシフトレジスタ回路の一例を示した等価回路図。

【図9】

（a）は、本発明を適用して好適なアクティブマトリックス型液晶表示装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトの一例を示した平面図。

（b）は、従来のアクティブマトリックス型液晶表示装置の周駆動回路を構成するシフトレジスタ回路のレイアウトを示した平面図。

【図10】

（a）は、本発明を適用して好適なアクティブマトリックス型液晶表示装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトの一例を示した断面図。

（b）は、従来のアクティブマトリックス型液晶表示装置の周辺駆動回路を構

【図11】

本発明を適用して好適なアクティブマトリックス型液晶表示装置の周辺駆動回路を構成する（a）クロックドインバータ、（b）インバータ、（c）トランسمッションゲートをそれぞれ示した等価回路図。

【図12】

従来のアクティブマトリックス型液晶表示装置の周辺駆動回路を構成するインバータ回路のレイアウト例で、（a）平面図、（b）E-E'に沿った断面図。

【図13】

本発明を適用して好適なアクティブマトリックス型液晶表示装置の周辺駆動回路を構成するインバータ回路のレイアウト例で、(a) 平面図、(b) F-F' に沿った断面図、(c) G-G' に沿った断面図。

【図14】

(a) 従来、(b) 本第3実施例、(c) 本第4実施例で示したNチャネル型TFTの電流-電圧特性図。

【図15】

本発明に係わるアクティブマトリックス型液晶表示装置用基板を用いたアクティブマトリックス型液晶表示装置の構成例を示す平面図。

【図16】

本発明に係わるアクティブマトリックス型液晶表示装置用基板を用いたアクティブマトリックス型液晶表示装置の構成例を示す断面図。

【図17】

本発明に係わるアクティブマトリックス型液晶表示装置用基板を用いたアクティブマトリックス型液晶表示装置で対向基板側にマイクロレンズを用いた構成例を示す断面図。

【図18】

本発明に係わるアクティブマトリックス型液晶表示装置用基板を用いたアクティブマトリックス型液晶表示装置をライトバルブとして応用した投写型表示装置

【符号の説明】

- 1 半導体層
- 1 a 高濃度ソース領域
- 1 b 高濃度ドレイン領域
- 1 c チャンネル領域
- 1 d 低濃度ソース領域
- 1 e 低濃度ドレイン領域
- 2 走査線（ゲート電極）

- 3 データ線 (第2遮光膜)
- 4 データ線3と半導体層1のコンタクトホール
- 5 画素電極14と半導体層1のコンタクトホール
- 6 ブラックマトリックス
- 7 第1遮光膜
- 8 定電位配線
- 9 定電位配線8と第1遮光膜7とのコンタクトホール
- 10 基板
- 11 第1層間絶縁膜
- 12 ゲート絶縁膜
- 13 第2層間絶縁膜
- 14 画素電極
- 15 第3層間絶縁膜
- 16 導電膜17と第1遮光膜間のコンタクトホール
- 17 導電膜
- 18 容量配線
- 19 低濃度リンイオン
- 20 高濃度リンイオン
- 21 レジスト
- 31 対向基板

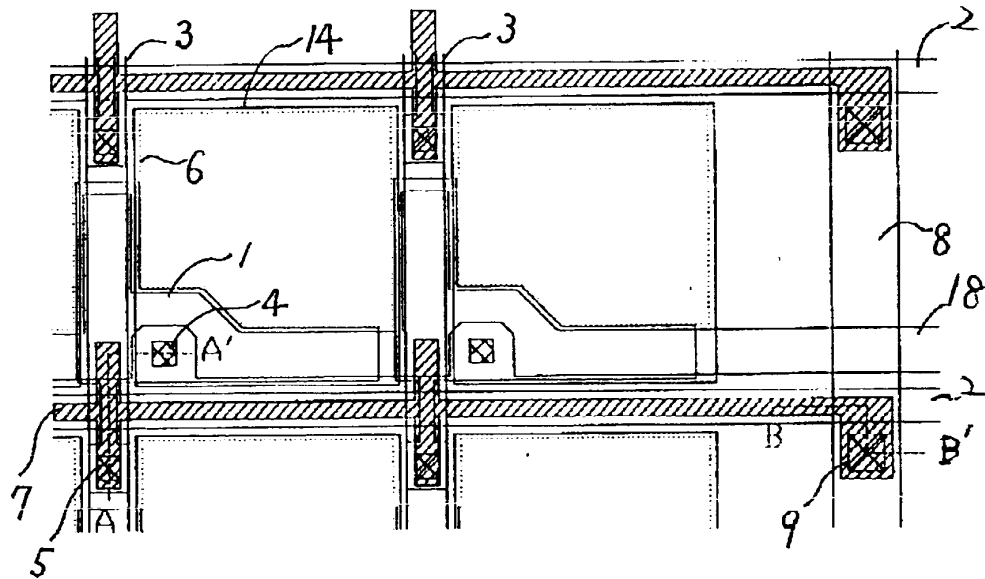
- 33 マイクロレンズ
- 34 接着剤
- 35 薄板ガラス
- 40 配線
- 41、42 TFTのソースあるいはドレイン電極
- 43 ゲート電極
- 44 インバータ回路のゲート信号入力配線
- 45 インバータ回路のドレイン電極 (信号出力配線)

- 46 Pチャネル型TFT
- 47 Nチャネル型TFT
- 48 周辺駆動回路の正電荷配線(VDD)
- 49 周辺駆動回路の負電荷配線(VSS)
- 50 P型領域
- 51 N型領域
- 52 P型チャネル領域
- 53 N型チャネル領域
- 101 データサンプリング回路
- 102 画素TFT
- 103 X側駆動回路
- 104 Y側駆動回路
- 105 画素
- 106 上下導通端子
- 107 入出力端子
- 108 液晶
- 109 補助回路
- 370 ランプ
- 371 放物ミラー
- 372 熱線カットフィルター

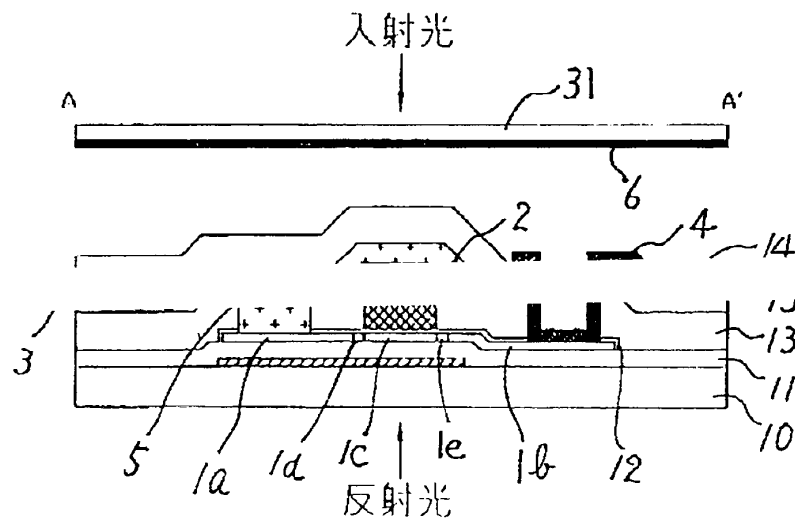
- 374、377 反射ミラー
- 378 ライトバルブ(青)
- 379 ライトバルブ(緑)
- 380 ライトバルブ(赤)
- 381 赤色反射面
- 382 青色反射面
- 383 ダイクロイックプリズム
- 384 投写レンズ

【書類名】 図面

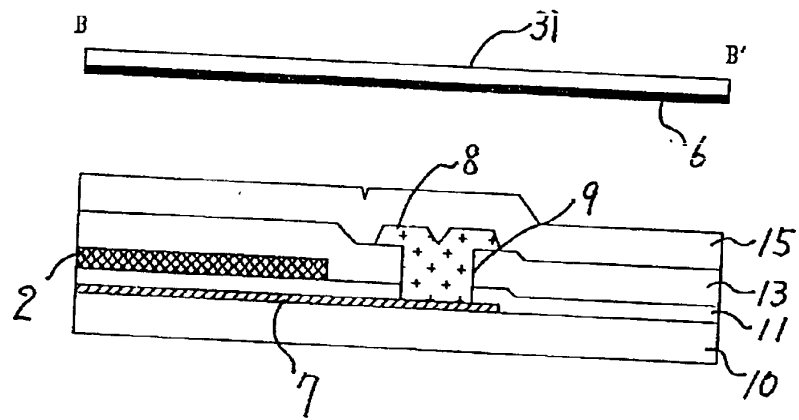
【図1】



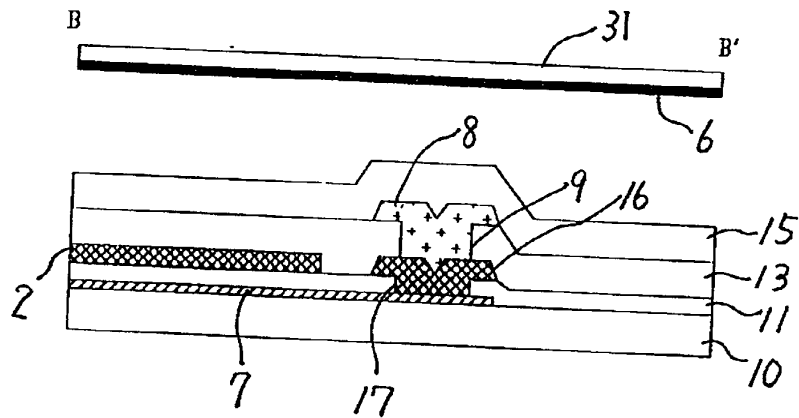
【図2】



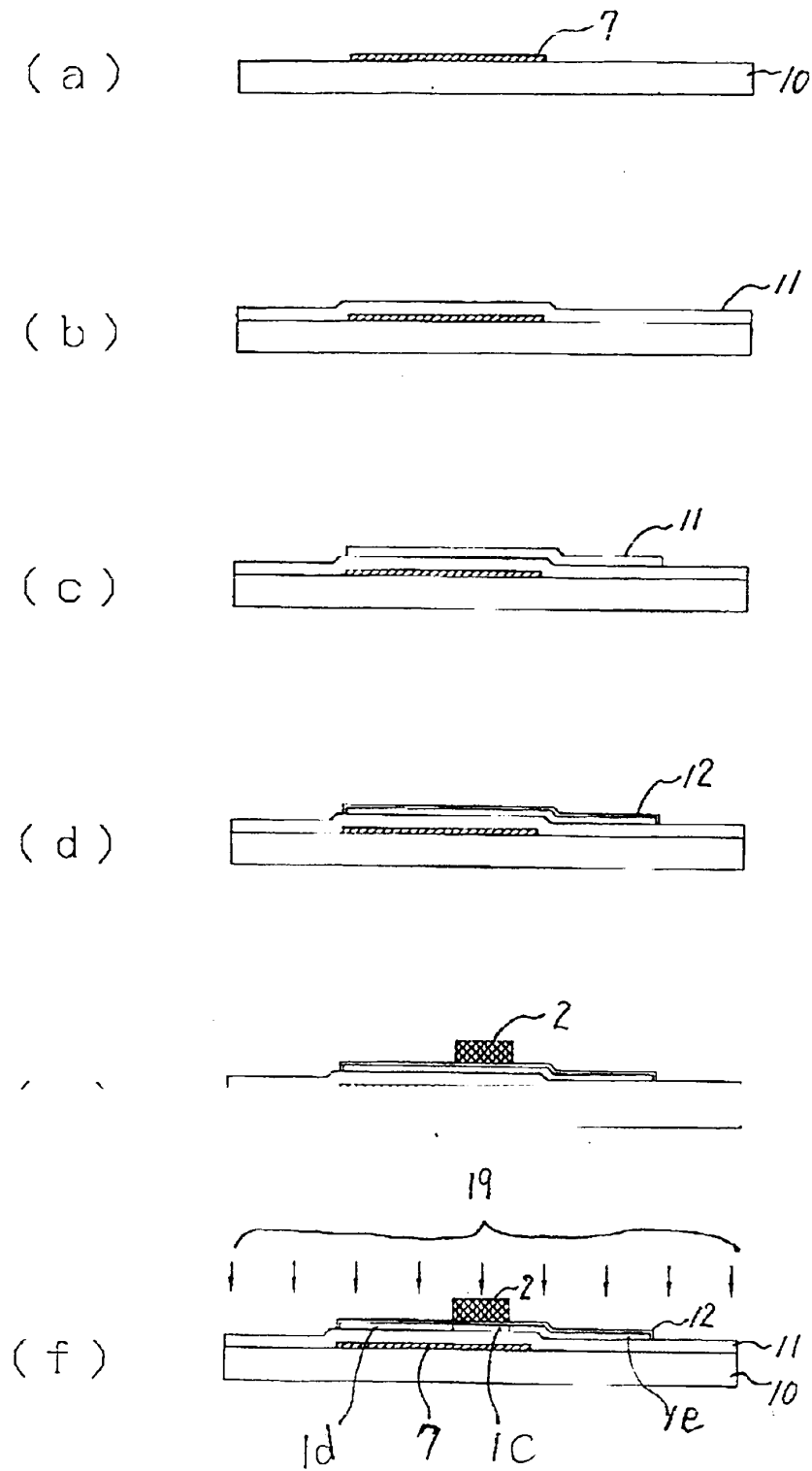
【図3】



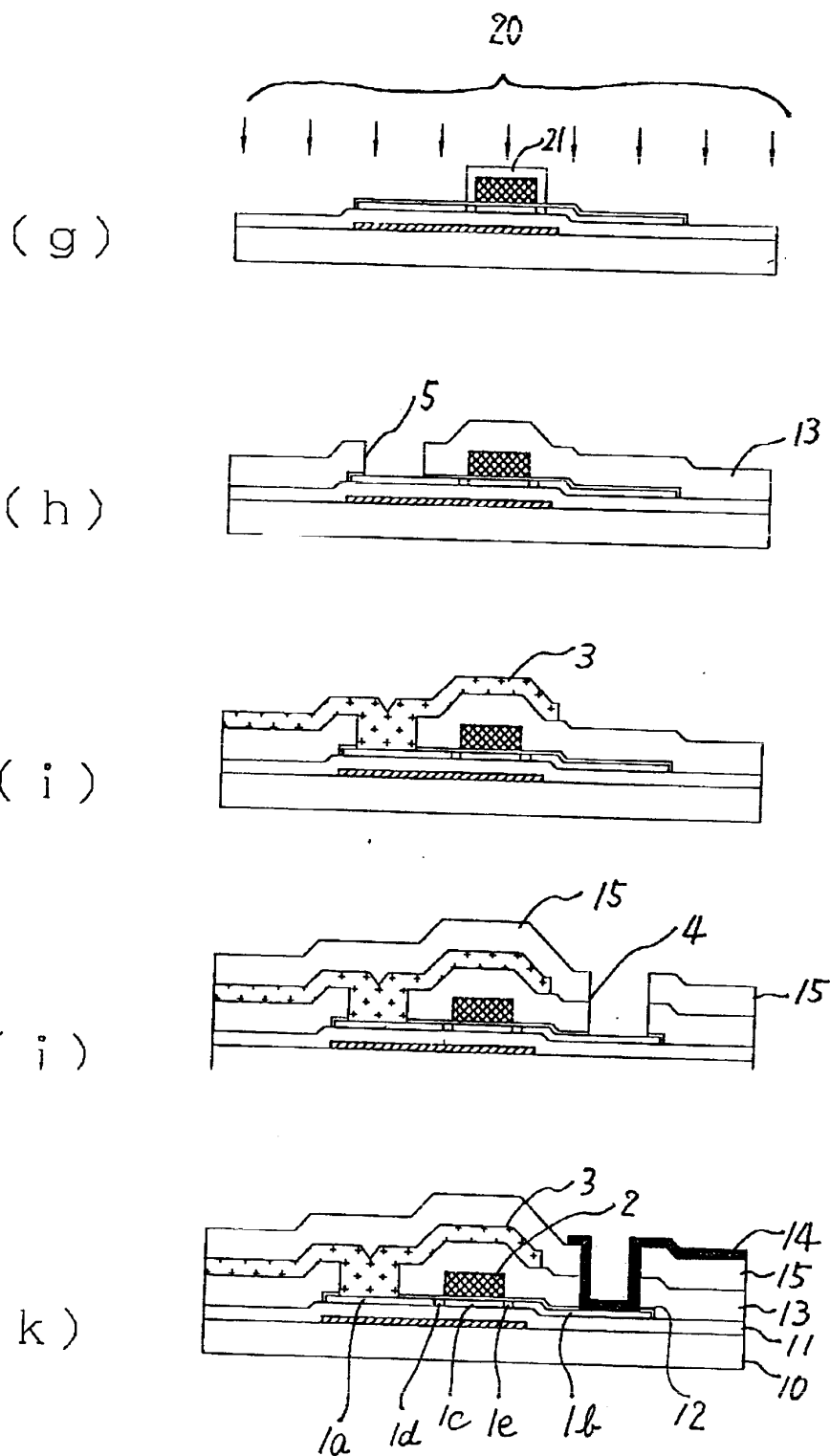
【図4】



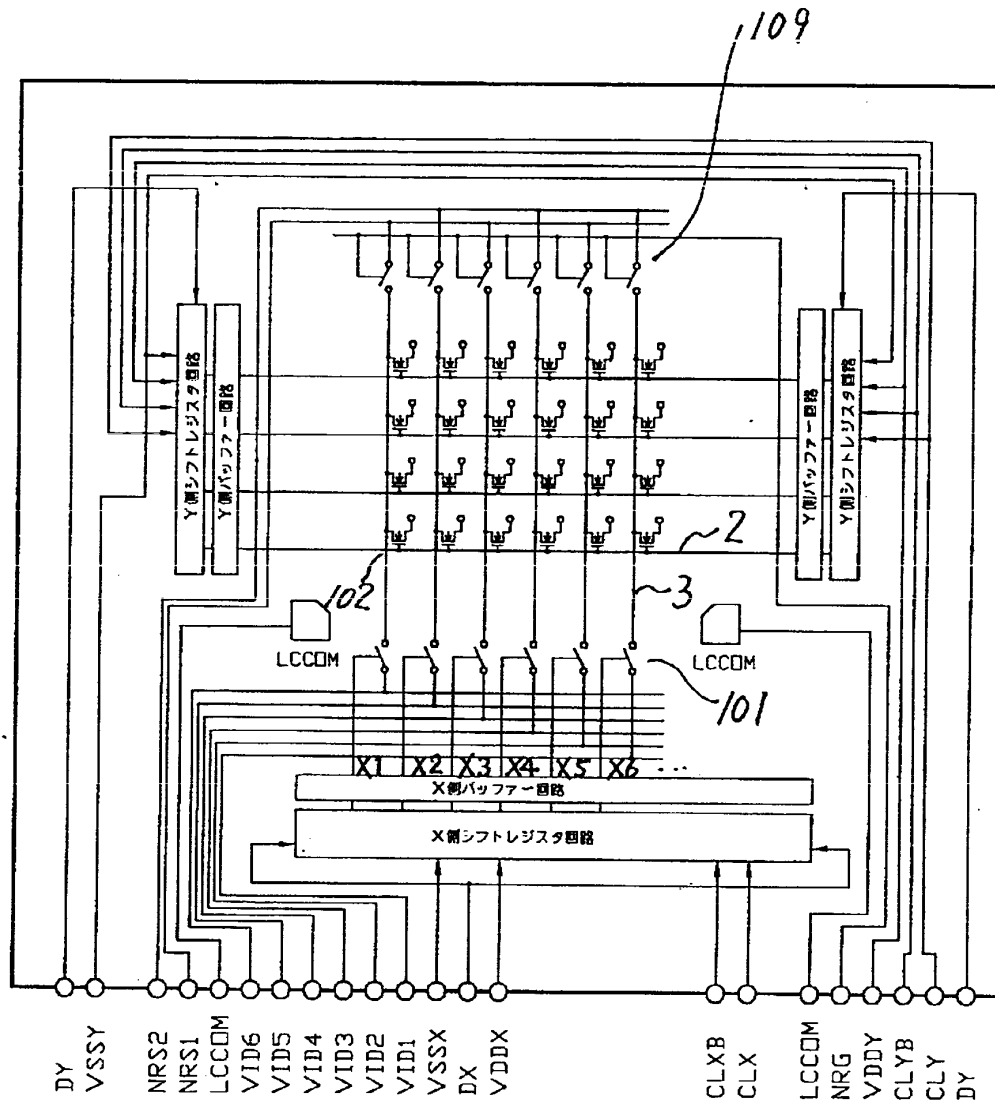
【図5】



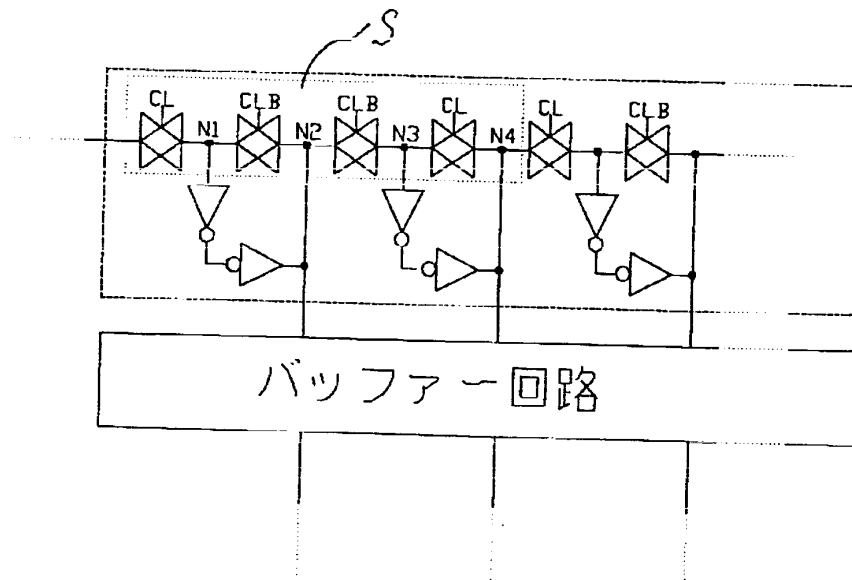
【図6】



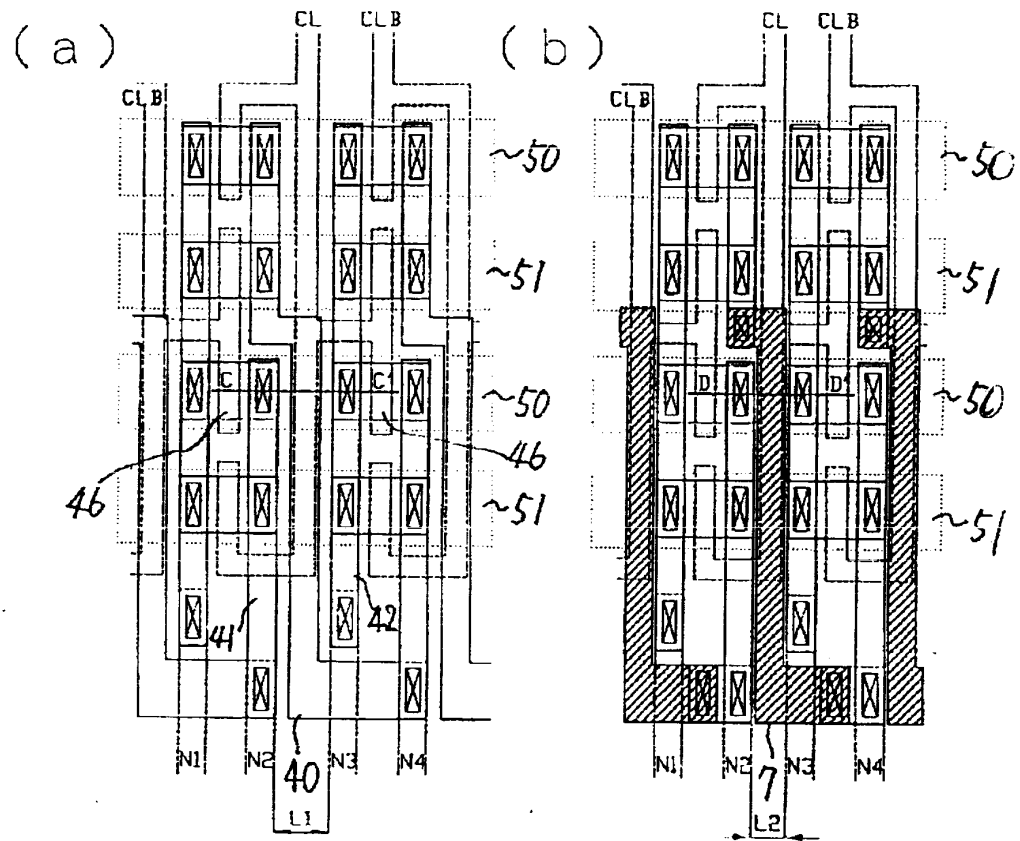
【図7】



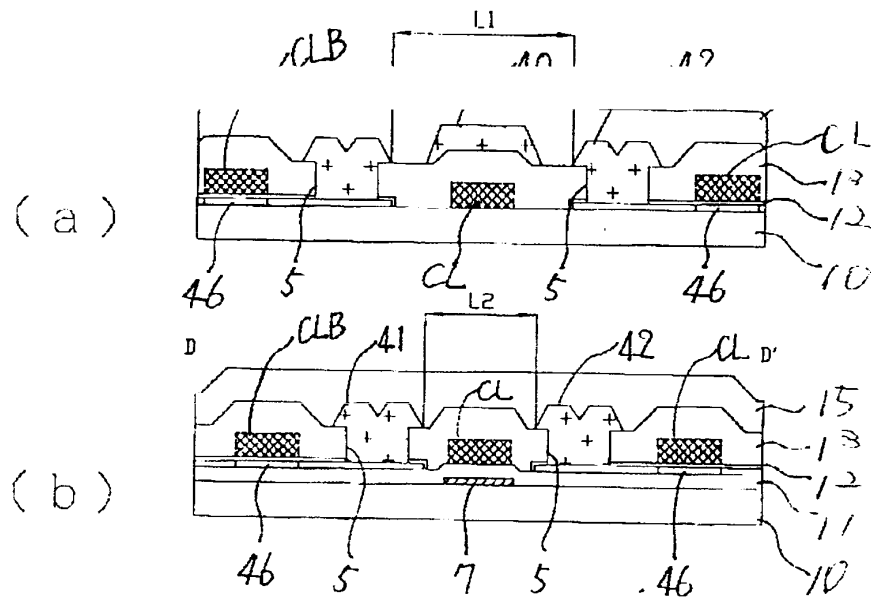
【図8】



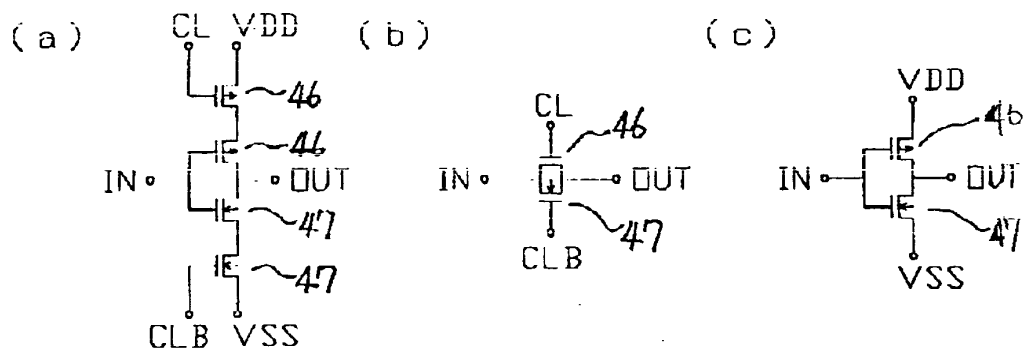
【図9】



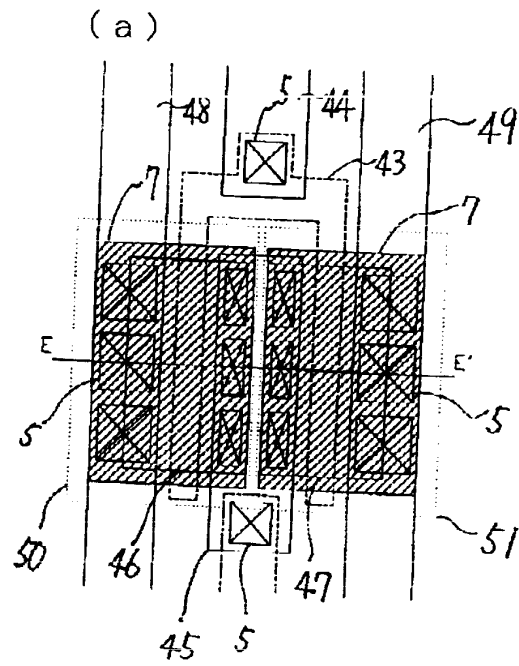
【図10】



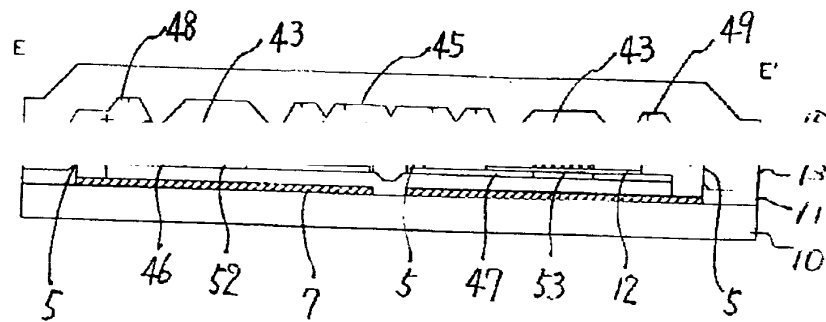
【図11】



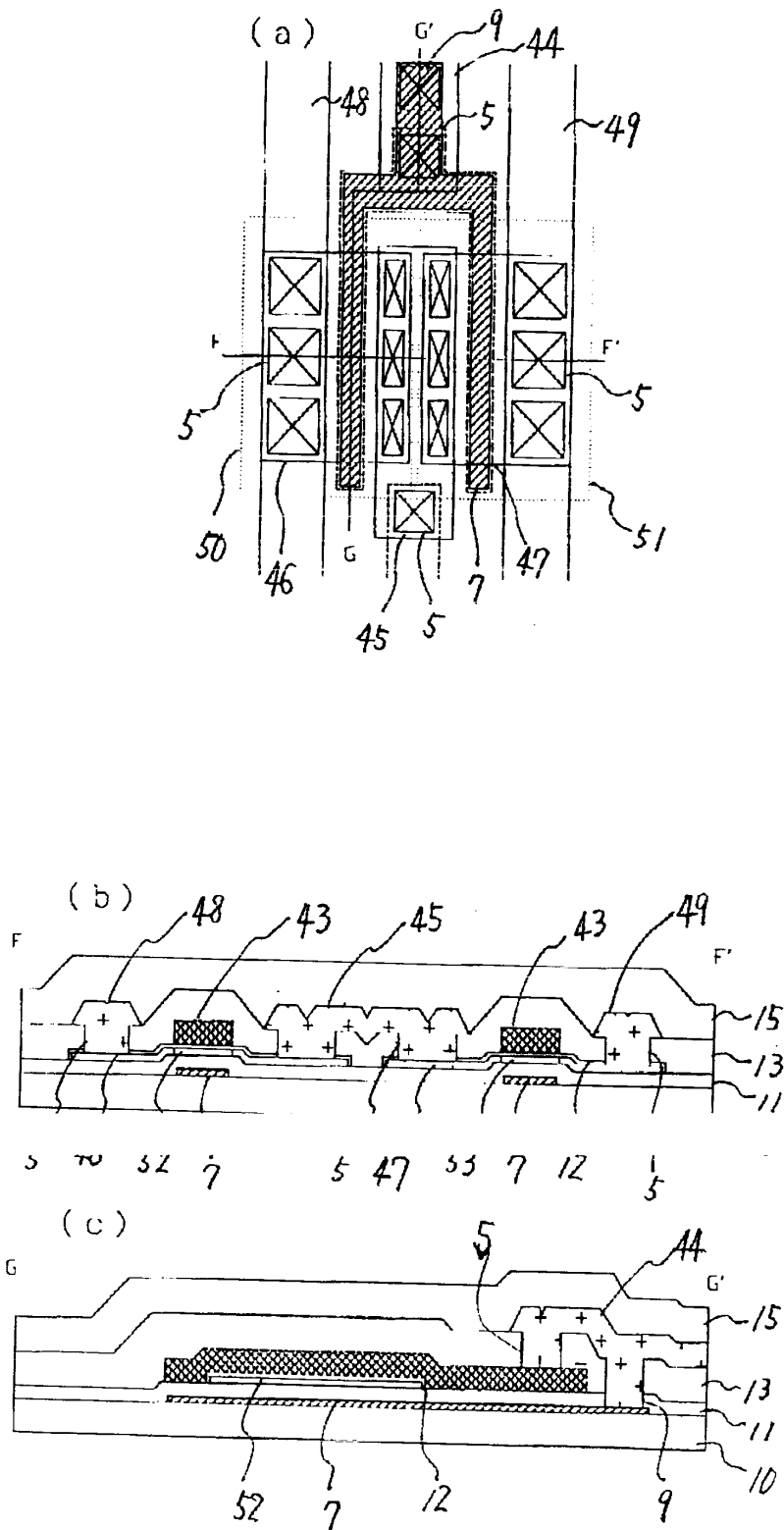
【図12】



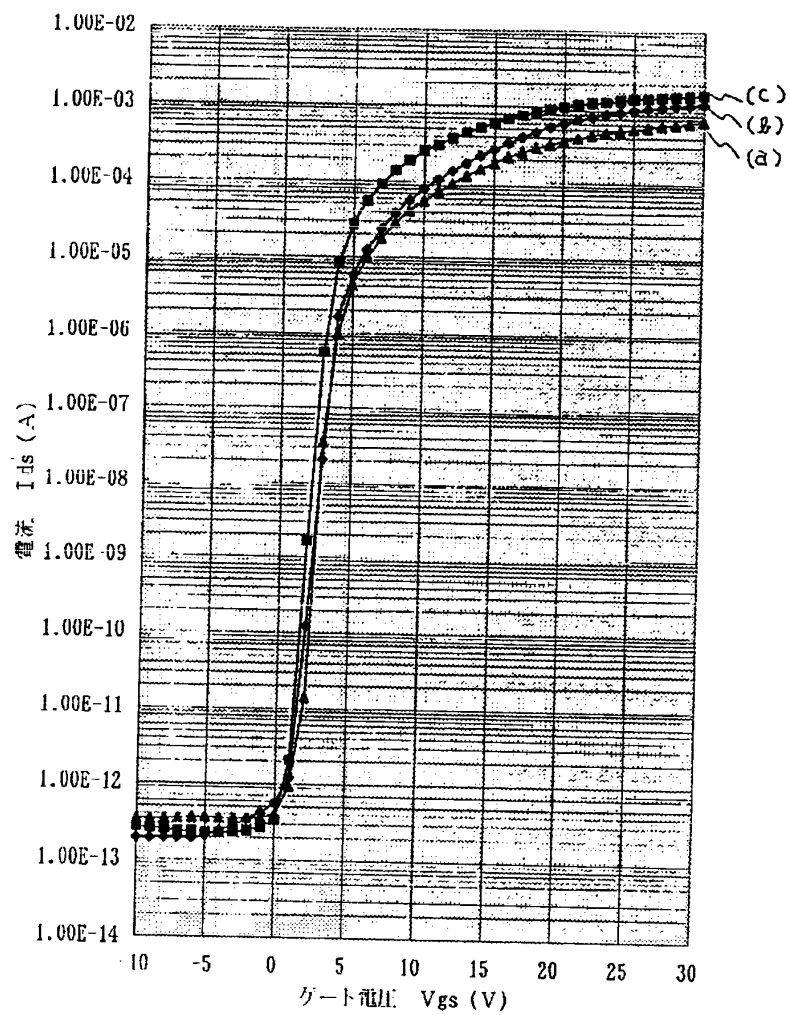
(b)



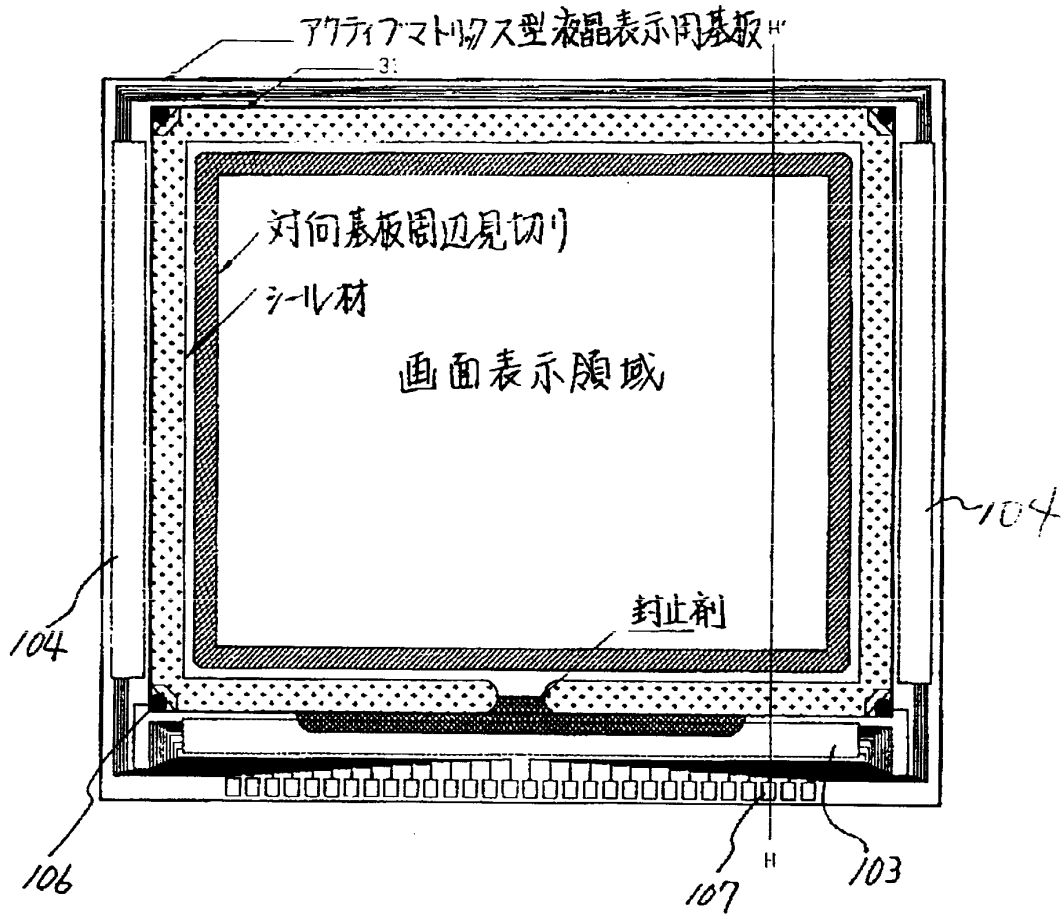
【図 13】



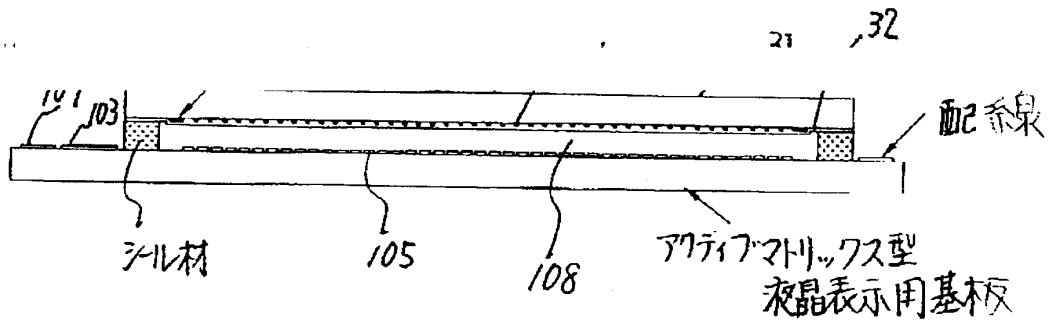
【図14】



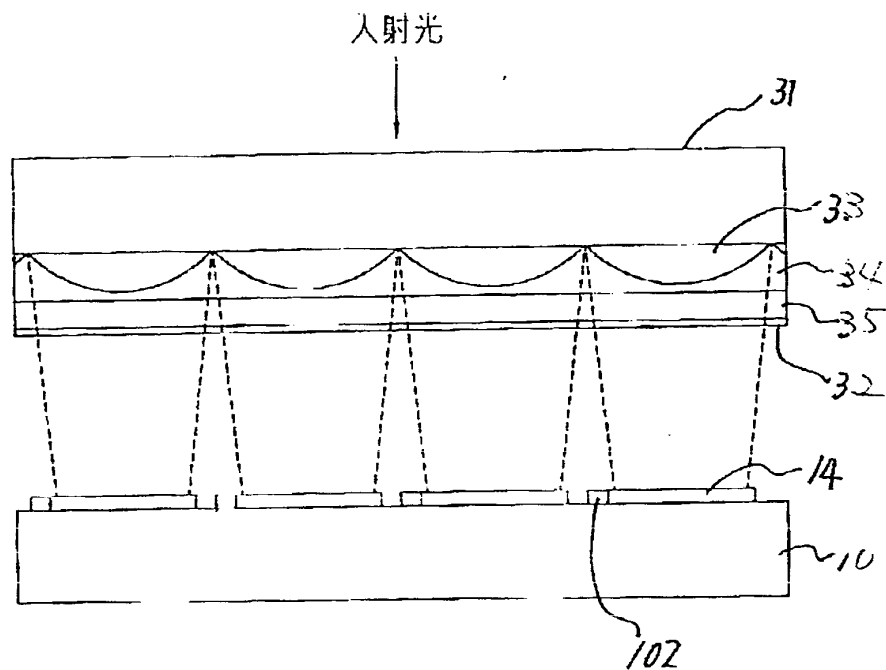
【図15】



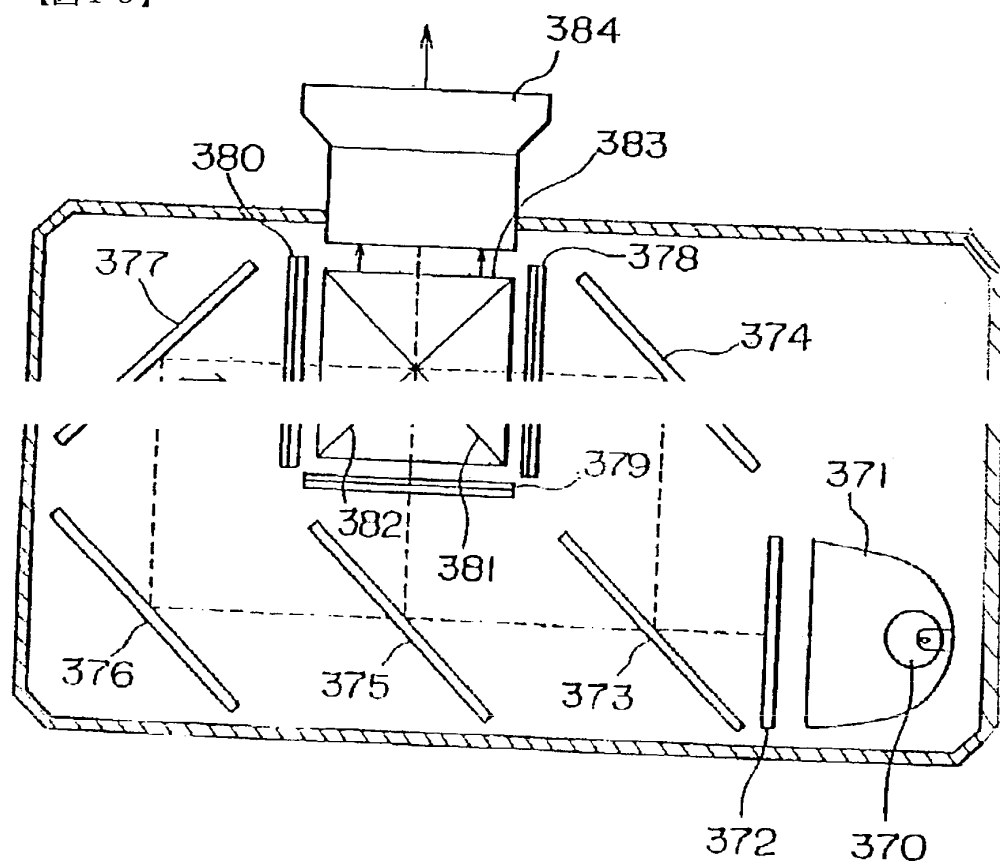
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 液晶表示装置において、対向基板側から入射される光がアクティブマトリックス型液晶表示装置用基板裏面の偏光板等の反射光によるリーク電流を抑制するため、該TFTの下側に遮光膜を設けるが、該遮光膜が一定電位に固定されていないため、該TFTの特性が変動したり劣化するという問題点がある。

【解決手段】 基板(10)上に画素電極(14)がマトリックス状に配列形成されるとともに、各画素電極に対応して各々TFTが形成され、前記TFTを介して前記画素電極に電圧が印加されるように構成されたアクティブマトリックス型液晶表示装置用基板において、前記TFTの少なくともチャネル領域(1c)の下部に遮光膜(7)を設けるとともに、該遮光膜を走査線(2)に沿って延設し画素領域の外側で定電位を供給する配線(8)に接続して電位を固定するようにした。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100093388

【住所又は居所】 東京都新宿区西新宿2丁目4番1号 セイコーエプソン株式会社内

【氏名又は名称】 鈴木 喜三郎

【選任した代理人】

【識別番号】 100095728

【住所又は居所】 東京都新宿区西新宿2-4-1 セイコーエプソン株式会社 特許室

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【住所又は居所】 東京都新宿区西新宿2丁目4番1号 セイコーエプソン株式会社内

【氏名又は名称】 須澤 修

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社